

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04076946
PUBLICATION DATE : 11-03-92

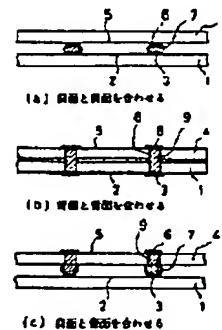
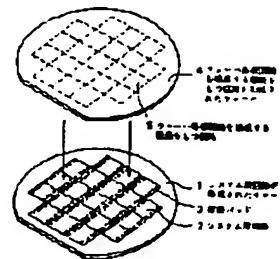
APPLICATION DATE : 19-07-90
APPLICATION NUMBER : 02189491

APPLICANT : FUJITSU LTD;

INVENTOR : YAMASHITA KOICHI;

INT.CL. : H01L 27/00 H01L 25/00 H01L 25/04
H01L 25/065 H01L 25/07 H01L 25/18

TITLE : WAFER INTEGRATED CIRCUIT
DEVICE



ABSTRACT : PURPOSE: To facilitate the manufacture of a circuit and improve yield rate by forming a circuit for system and a circuit, which has the function of a wafer integrated circuit, on different wafers.

CONSTITUTION: This comprises a wafer 1, where circuits 2 for system and connection pads 3 for the circuits for system are made, and a wafer 2, where circuits 5 which have the functions of constituting a wafer integrated circuit are made at the face opposed to the wafer 1. Through they are not shown in the circuits 5 which have the functions of constituting the wafer integrated circuit, connection pads 6 are provided at the positions conforming to the connection pads 3. The wafer 2, where the circuits 2 are formed, and the wafer 4, where the circuits are formed, are put on the other with the faces, where those circuits 2 and 5 are formed, opposed to each other, and both connection pads are connected by bumps 7 at the opposed faces.

COPYRIGHT: (C)1992,JPO&Japio

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平4-76946

⑫ Int. Cl.

H 01 L 27/00
25/00
25/04
25/065
25/07
25/18

識別記号

301 B 7514-4M
A 7638-4M

厅内整理番号

⑬ 公開 平成4年(1992)3月11日

7638-4M H 01 L 25/04
7638-4M 25/08

Z
Z

審査請求 未請求 請求項の数 4 (全6頁)

⑭ 発明の名称 ウエーハ集積回路装置

⑮ 特 願 平2-189491

⑯ 出 願 平2(1990)7月19日

⑰ 発明者 山下公一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 柏谷昭司 外1名

明細書

1. 発明の名称:

ウエーハ集積回路装置

2. 特許請求の範囲

(1). システム用回路(2)が形成されたウエーハ(1)と、ウエーハ集積回路を構成する機能をもつ回路(5)が形成されたウエーハ(4)からなり、両ウエーハの該回路(2)、(5)が相互に接続されることによりシステムが実現されることを特徴とするウエーハ集積回路装置。

(2). システム用回路(2)が形成されたウエーハ(1)と、ウエーハ集積回路を構成する機能をもつ回路(5)が形成されたウエーハ(4)からなり、それらが前面と前面、背面と背面、あるいは、前面と背面を対向させて積層され、両ウエーハの該回路(2)、(5)が相互に接続されることによりシステムが実現されていることを特徴とするウエーハ集積回路装置。

(3). システム用回路(2)が形成されたウエーハ(1)と、ウエーハ集積回路を構成する機能を

もつ回路が形成された複数のウエーハまたはチップ(4、10)が積層され、それらの回路間が相互に接続されることによりシステムが実現されていることを特徴とするウエーハ集積回路装置。

(4). システム用回路(2)が形成されたウエーハ(1)と、配線のみが形成されているウエーハ(4)と、ウエーハ集積回路を構成する機能をもつ回路が形成されたチップまたはウエーハ(10)が積層され、それらの回路間が相互に接続されることによりシステムが実現されていることを特徴とするウエーハ集積回路装置。

3. 発明の詳細な説明

〔概要〕

ウエーハ集積回路装置に関し、

汎用DRAMの大量生産によるコストメリットを生かして、組立コストをさらに低減したウエーハ集積回路装置を提供することを目的とし、

システム用回路が形成されたウエーハと、ウエーハ集積回路を構成する機能をもつ回路が形成されたウエーハからなり、両ウエーハの該回路が相

互に接続されることによりシステムが実現される
ように構成した。

また、システム用回路が形成されたウエーハと、
ウエーハ集積回路を構成する機能をもつ回路が形
成されたウエーハからなり、それらが前面と前面、
背面と背面、あるいは、前面と背面を対向させて
積層され、両ウエーハの該回路が相互に接続され
ることによりシステムが実現されるように構成し
た。

また、システム用回路が形成されたウエーハと、
ウエーハ集積回路を構成する機能をもつ回路が形
成された複数のウエーハまたはチップが積層され、
それらの回路間が相互に接続されることによりシ
ステムが実現されるように構成した。

そしてまた、システム用回路が形成されたウエ
ーハと、配線のみが形成されているウエーハと、
ウエーハ集積回路を構成する機能をもつ回路が形
成されたチップまたはウエーハが積層され、それ
らの回路間が相互に接続されることによりシス
テムが実現されるように構成した。

中に欠陥をもつ領域が存在しても、欠陥をもたな
い集積回路、あるいは欠陥をもたない領域の素子
を用いて、システム全体を正常に動作させるよう
な欠陥救済技術を導入しなければならない。

〔従来の技術〕

近年、ウエーハ集積回路技術を用いて、汎用 D
RAMコアにネットワーク形成用ロジックを付加
することによってウエーハ上にネットワークを構
成したウエーハ集積回路装置が開発されている
(雑誌「電子材料」1989年6月号p. 71~
75 参照)。

これはDRAM本来の工程だけで製造できるた
めに、例えば、レーザ光による配線の接続や断線、
あるいは、フローティングゲートによる配線経路
の選択等の欠陥迂回方法に比較して、量産性やコ
ストの点で非常に有利である。

〔発明が解決しようとする課題〕

しかし、この方法は、1枚のウエーハにDRAM
とネットワーク形成用ロジックを形成していくた
め、コストの面から汎用DRAMチップと比較

〔産業上の利用分野〕

本発明は、ウエーハ集積回路装置に関する。

従来の半導体集積回路装置においては、ウエー
ハ全体に一連の製造工程を施し、1枚のウエーハ
上に多数の素子からなる集積回路装置を複数個形
成した後、集積回路装置ごとのチップとして切り
離し、個々のチップを用いて半導体装置を形成す
るのが通例であった。

しかし、本発明の対象であるウエーハ集積回路
装置は、ウエーハ上に形成された複数の集積回路
装置を個々のチップに切り離さず、ウエーハ上に
形成した全チップ、あるいはその中の複数特定チ
ップを用いて構成する大規模集積回路である。

このウエーハ集積回路装置は、チップごとに切
り離す場合に比べて実装密度を高くでき、組立コ
ストを低減できる等多くの利点を有しているが、
半導体装置の製造工程における歩留りの現状から
みて、ウエーハ上に形成された全ての集積回路基
盤が正常に動作する可能性はきわめて低いため、
欠陥をもつ集積回路装置あるいは集積回路装置の

した場合、特定用途向けのメモリチップを製造す
る場合と同様に、大量生産によるコストメリット
を充分に実現することができない。

本発明は、この点に鑑み、汎用DRAMの大量
生産によるコストメリットを生かして、組立コス
トをさらに低減したウエーハ集積回路装置を提供
することを目的とする。

〔課題を解決するための手段〕

本発明にかかるウエーハ集積回路においては、
システム用回路が形成されたウエーハと、ウエー
ハ集積回路を構成する機能をもつ回路が形成され
たウエーハからなり、両ウエーハの該回路が相互
に接続されることによりシステムが実現される構
成を採用した。

また、システム用回路が形成されたウエーハと、
ウエーハ集積回路を構成する機能をもつ回路が形
成されたウエーハからなり、それらが前面と前面、
背面と背面、あるいは、前面と背面を対向させて
積層され、両ウエーハの該回路が相互に接続され
ることによりシステムが実現される構成を採用し

特開平4-76946 (3)

た。

また、システム用回路が形成されたウエーハと、ウエーハ集積回路を構成する機能をもつ回路が形成された複数のウエーハまたはチップが積層され、それらの回路間が相互に接続されることによりシステムが実現される構成を採用した。

また、システム用回路が形成されたウエーハと、配線のみが形成されているウエーハと、ウエーハ集積回路を構成する機能をもつ回路が形成されたチップまたはウエーハが積層され、それらの回路間が相互に接続されることによりシステムが実現される構成を採用した。

〔作用〕

システム用回路とウエーハ集積回路の機能を持つ回路を別のウエーハ上に形成するため、それぞれのウエーハを製造するに際して、それぞれに最適の製造工程を選択することができ、システム用回路の大量生産によるコストメリットと、ウエーハ集積回路を構成する機能を有する回路の製造容易性を兼ね備えることができる。

このウエーハ集積回路装置において、システム用回路2は、例えば、汎用DRAMであり、ウエーハ集積回路を構成する機能をもつ回路5は、ウエーハ集積回路を構成する回路間の接続を決定するネットワーク用回路、使用するメモリチップにのみ電源を供給する機能を有するメモリチップ供給用パワースイッチ、配線等である。

そして、組立に際しては、両ウエーハ1、4が位置合わせて積層され、それぞれの回路の接続パッドが適宜接続されて、全体としてウエーハ集積回路装置を構成する。

第2図(a)、(b)、(c)は本発明のウエーハ集積回路装置のウエーハ間の具体的な接続構造を示す断面図である。

この図中の符号は、7がバンブ、8が貫通孔、9が導体である他は、第1図において同符号をして説明したものと同じものである。

第1具体例(第2図(a))

この例においては、システム用回路2が形成されたウエーハ1と、ウエーハ集積回路を構成する

また、これらのウエーハを積層して配置し、その回路の間を相互に接続することによって回路間の接続距離を最短にすることができる、信号の伝播遅延時間を最小に抑えることができる。

〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

(1) 第1実施例

第1図は、本発明のウエーハ集積回路装置の第1実施例の構成図である。

第1図中の1はシステム用回路が形成されたウエーハ、2はシステム用回路、3はシステム用回路の接続パッド、4はウエーハ集積回路を構成する機能をもつ回路が形成されたウエーハ、5はウエーハ4のウエーハ1に対向する面に形成された、ウエーハ集積回路を構成する機能をもつ回路を示し、この、ウエーハ集積回路を構成する機能をもつ回路5には、図示されていないが、接続パッド3と整合する位置に接続パッド6が設けられている。

機能をもつ回路5が形成されたウエーハ4が、それらの回路2、5が形成されている面(前面)どうしを対向させて積層し、その対向面において双方の接続用パッドをバンブ7によって接続することによってウエーハ集積回路装置が構成されている。

第2具体例(第2図(b))

この例においては、システム用回路2が形成されたウエーハ1とウエーハ集積回路を構成する機能をもつ回路5が形成されたウエーハ4を、それらの回路2、5が形成されている面(前面)を共に外側に向け、それらの背面を対向させて積層し、レーザ加工等によって双方の接続パッド3、6とウエーハ1、4を貫通する孔8を設け、この孔8の中に低融点金属や導電性樹脂等の導体9を埋め込んで両パッド間を接続することによって、ウエーハ集積回路装置が構成されている。

この場合、ウエーハ1、4に孔を設けることによって、イオン注入等によってウエーハ中に不純物を導入してウエーハの背面まで達する低抵抗の

導電路を形成し、この導電路が相対する部分で接続することによって、回路相互間を接続することができる。

第3具体例(第2図(c))

この例においては、システム用回路2が形成されたウエーハ1のこの回路2が形成された側(前面)と、ウエーハ集積回路を構成する機能をもつ回路5が形成されたウエーハ4のこの回路が形成されていない側(背面)とを対向させ、第1具体例と、第2具体例において用いた接続構造を採用して、両ウエーハの回路間を接続することによってウエーハ集積回路が構成されている。

この場合、ウエーハ1とウエーハ4を逆にすることも可能であるが、集積度が高く、歩留りが厳格なシステム用回路が形成されてたウエーハに貫通孔を設けるのは危険であるから、比較的スペース的に余裕があり、より安全なウエーハ集積回路を構成する機能をもつ回路5が形成されたウエーハ4に貫通孔を設けることが望ましい。

本実施例においては、汎用メモリ等のシステム

用回路が形成されるウエーハとウエーハ集積回路を形成する機能をもつ回路が形成されるウエーハは別体であるから、それらの製造工程が共通である必要はなく、汎用メモリ等のシステム用回路が形成されるウエーハに対しては最先端の精緻な製造工程を用い、ウエーハ集積回路を構成する機能をもつ回路を形成するウエーハに対しては、熟成した製造工程を用いて歩留りを高く保つようにすることができる。

ウエーハ集積回路を構成する機能をもつ回路については、チップレイアウトから考えても、余裕があるから、歩留りを高く保つことが可能で、電源ラインは必要に応じて幅広くとり、メモリチップの電源を制御するパワースイッチの領域も充分な大きさをとることが可能である。

両ウエーハに形成された回路、例えば、汎用大容量メモリと、プロセッサはウエーハに対して垂直方向の最短距離で接続されるから、その間の信号の伝達遅延時間を最小にできる。

(2) 第2実施例

第3図(a)、(b)は本発明の第2実施例の構成図である。

第3図(a)は斜視図、(b)はその断面図である。

この図中の符号は、10がプロセッサチップ、11がパンプである他は第1図、第2図において説明したものと同じである。

この実施例は、集積回路の性能を重視したもので、システム用回路である汎用メモリ2が形成されたウエーハ1に、配線5が形成されたウエーハ4を積層し、さらに、高速プロセッサチップ10を積層して、それらのウエーハ1、4とチップ10の間を前記の接続構造によって接続することによってウエーハ集積回路が構成されている。

この場合、上記の高速プロセッサチップ10は必要に応じてウエーハとして構成することもできる。

このウエーハ集積回路においては、プロセッサチップ10内にウエーハ集積回路のネットワーク

用回路を搭載するが、このプロセッサ10と大容量メモリ2は、ウエーハに対して垂直方向に最短距離で接続されていること、および、プロセッサチップ10とメモリウエーハ1の間にある配線用ウエーハ4はそのウエーハ上に素子を持たないために、ウエーハ基板や配線、層間絶縁膜のパラメータを最適化することができ、信号の伝播遅延時間を最小に抑えることができる。

また、配線ウエーハ4にはトランジスタなどを形成しないため、配線のみの工程で済むために、コスト面でも有利である。

チップレイアウトから考えると配線用回路には余裕があるから、歩留りを高く保つことが可能で、電源ラインは必要に応じて幅広くとることができ、メモリチップの電源を制御するパワースイッチの領域も充分に大きくすることができる。

上記説明において、ウエーハ1、4について、ウエーハをそのまま完全な形で使用するものとして図示、説明したが、本発明はそれに限定されることなく、ウエーハの一部を採用してウエーハ集

積回路を構成する場合も含まれる。

また、前記実施例においては、ウエーハ集積回路を形成するシステムをメモリに限定したが、本発明によれば、例えば、アレイプロセッサ等他の回路でも上記と同様の効果を奏することは明らかである。

〔発明の効果〕

本発明によると、システム用回路とウエーハ集積回路の機能を持つ回路を別のウエーハ上に形成するため、それぞれのウエーハを製造するに際して、それぞれに最適の製造工程を適用することができる。

すなわち、システム用回路の、最先端の精緻な製造工程を用いた大量生産によるコストメリットと、ウエーハ集積回路を構成する機能を有する回路の、熟成した製造工程を用いることによる高い歩留りと製造容易性を利用することができる。

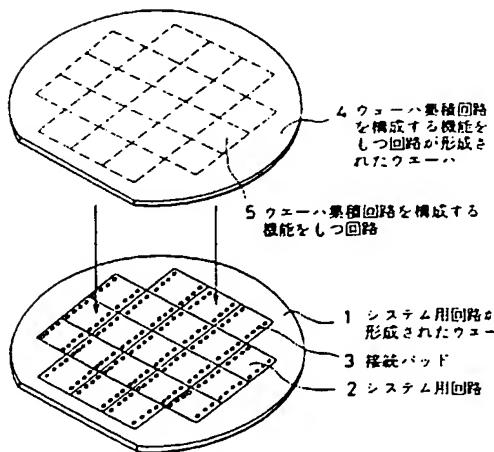
また、これらのウエーハを積層して配置し、その回路の間を最短距離で相互に接続することによって信号の伝播遅延時間を最小に抑えることができる。

きる。

4. 図面の簡単な説明

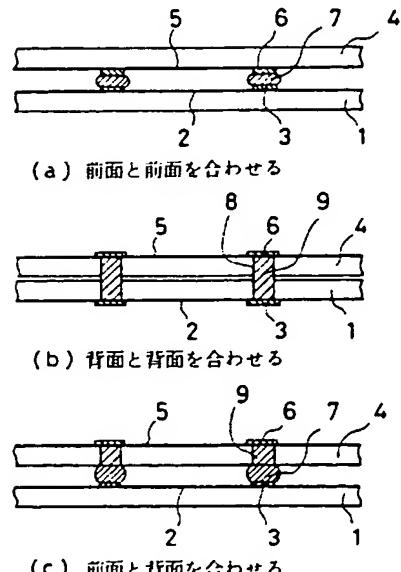
第1図は本発明のウエーハ集積回路装置の第1実施例の構成図、第2図(a)、(b)、(c)は本発明のウエーハ集積回路装置のウエーハ間の具体的な接続構造を示す断面図、第3図(a)、(b)は本発明のウエーハ集積回路装置の第2実施例の構成図である。

1…システム用回路が形成されたウエーハ、2…システム用回路、3…システム用回路の接続パッド、4…ウエーハ集積回路を構成する機能をもつ回路が形成されたウエーハ、5…ウエーハ4のウエーハ1に向向する面に形成された、ウエーハ集積回路を構成する機能をもつ回路、6…ウエーハ集積回路を構成する機能をもつ回路の接続パッド、7…バンブ、8…貫通孔、9…導体、10…プロセッサチップ、11…バンブ



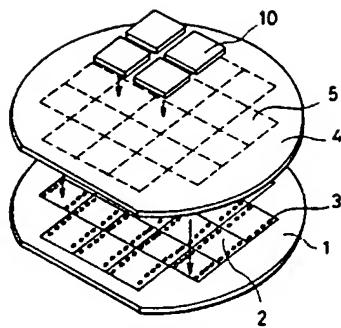
本発明のウエーハ集積回路装置の第1実施例の構成図

第1図

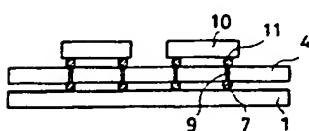


本発明のウエーハ集積回路装置のウエーハ間の具体的な接続構造を示す断面図

第2図



(a) 斜視図



(b) 断面図

本発明のウェーハ集積回路装置の第2実施例の構成図

第3図